

JP 5282859 - 303.623us5

2/9/1
DIALOG(R) File 347:JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.
04291159 **Image available**

MEMORY INTEGRATED CIRCUIT

PUB. NO.: 05-282859 JP 5282859 A]
PUBLISHED: October 29, 1993 (19931029)
INVENTOR(s): OOKAWA NORIHIRO
 WATANABE KAZUHIRO
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
 (Japan)
 NEC NIIGATA LTD [491611] (A Japanese Company or Corporation),
 JP (Japan)
APPL. NO.: 04-032455 [JP 9232455]
FILED: February 20, 1992 (19920220)
INTL CLASS: [5] G11C-011/401; G06F-012/02
JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2
 (ELECTRONICS -- Solid State Components)
JOURNAL: Section: P, Section No. 1688, Vol. 18, No. 74, Pg. 127,
 February 07, 1994 (19940207)

ABSTRACT

PURPOSE: To eliminate a circuit for generating and controlling an address and to enable execution of burst transfer by providing a signal showing the burst transfer and an address counter for dynamic RAM and by dispensing with an address input at the time of the burst transfer.

CONSTITUTION: Dynamic RAM is provided with a BURST signal showing burst transfer, in addition to memory control signals of RAS, CAS and WE which usual dynamic RAM has, and with an address counter to be operated at the time of the burst transfer, inside a device. At the time of an ordinary memory access, an inputted address signal is outputted directly to an address bus 3 inside the device. When a signal of a negative value of BURST is inputted from outside, however, an address 2 generated inside the device is selected by a selector and outputted to the internal address 3. According to this constitution, an address input from outside is dispensed with at the time of the burst transfer.

(2)

特開平5-282859

1

【特許請求の範囲】

【請求項1】 データ記憶装置の一環であり、アドレス信号とアドレス及びデータの入出力を制御する公の制御信号を入力することにより、データの入出力が可能となるランダムアクセスメモリにおいて、送受するアドレスのデータを記憶して入力、又は出力する場合（以下このような伝送をバースト伝送と呼ぶ）に、それを示す信号と、アドレスカウンタを記憶することを特徴とするメモリ装置。

【発明の簡単な説明】

【0001】

【背景上の利用分野】 本発明は、コンピュータシステムにおけるメモリ装置に関し、特にダイナミックラムに関する。

【0002】

【従来の技術】 従来のランダムアクセスメモリは、その制御方法によって、スタティックラム、ダイナミックラム、に大別され、さらにその記憶容量及びデータのビット数により区別されるが、その基本構成要素は、アドレス信号、アドレス又はデータの入出力制御信号、データ信号である。

【0003】 図3にダイナミックラムの構成の一環を簡単なブロック図で示す。このメモリにデータを記憶する場合もしくはメモリからデータを読み出す場合には、適切なタイミングで図に示すRAS、CAS、WEの各信号の各信号を入力すると共に、適切なタイミングで必ずアドレスも入力する必要がある。

【0004】 又、高速にデータを入出力する手段として、ページモード、スタティックカラムモード、ニブルモードを持つダイナミックラムがある。

【0005】 ダイナミックラムでは、アドレスをロウアドレスとカラムアドレスの2回に分けて入力する必要がある。

【0006】 ページモード、スタティックカラムモードの場合には、同一ページ内（ロウアドレスが同じ）の連続アクセスでは、カラムアドレスの入力のみでデータの入出力を可能とすることにより高速アクセスを実現している。

【0007】 又、ニブルモードの場合は、アドレスの送受するデータのアクセスにおいて初期アドレスの指定のみでいくアドレスの入力は必要としないことにより高速アクセスを可能としている。しかしこれは送受する4データという制限がある。

【0008】

【発明が解決しようとする課題】 従来のページモード、又はスタティックカラムモードをサポートするダイナミックラムを用いて、バースト伝送を実現しようとした場合には、バースト伝送用のアドレス生成、タイミング制御回路が必要になり、ニブルモードをサポートするダイナミックラムを用いた場合には、バースト伝送のデータ

2

量が4と制限されてしまい大量データの高速伝送ができないという欠点があった。

【0009】

【課題を解決するための手段】 本ダイナミックラムは、従来のダイナミックラムが有しているRAS、CAS、WEのメモリ制御信号に加え、バースト伝送を示すBURST信号と、デバイス内部にバースト伝送時のアドレス生成回路を備えている。

【0010】

10 【発明例】 次に本発明について図面を参照して説明する。

【0011】 図1は、本発明の一実施例をブロック図で示したものである。

【0012】 図1のメモリアクセス時には、入力されたアドレス信号がデバイス内部のアドレスバス3に直接出力されるが、図中のBURSTの各信号の信号が外部より入力されるとデバイス内部で生成したアドレス2がセレクタにより選択され、内部アドレスバス3へ出力される。これによりバースト伝送時には、外部からのアドレス入力の必要はなくなる。

【0013】 バースト伝送時にはページモードアクセスとなる、カラムアドレスのみ変化する。

【0014】 アドレス生成回路（アドレスカウンタ）に対する初期アドレスのロードは図2に示す4の区間すなわち、BURSTの各信号の信号をアクティブロウとした場合にその立下りエッジで完了する。カラムアドレスのホールドタイム及びアドレスカウンタに初期値をロードする際のセットアップタイムを確保するようBURSTの各信号の信号は、初期のCASの各信号の信号がアクティブ（Low）となった後にアクティブにされなければならない。以下、バースト伝送時のアドレスのカウンタアップは、図2に示すように、CASの各信号の信号の立上りエッジで行われる。アドレスカウンタとしては、n本のアドレス入力信号に対して、nビットの2進カウンタが必要となる。又、アドレスカウンタのキャリーが上った時点で次のアクセスはページミスアクセスとなることを利用して、このキャリー信号を外に出しおけば、外部でのアドレスコンパレータ回路を必要とせずに、バースト伝送時のページミスアクセスを知ることが可能となる。

【0015】

【発明の効果】 以上説明したように本発明はダイナミックラムにバースト伝送を示す信号とアドレスカウンタを備えることにより、バースト伝送時のアドレス入力が必要となる公、アドレス生成・制御用の回路なくしてバースト伝送を可能とする効果がある。

【図面の簡単な説明】

【図1】 本発明の一実施例のブロック図である。

【図2】 バースト伝送時のアドレス生成タイミングを示す図である。

(3)

特開平5-282859

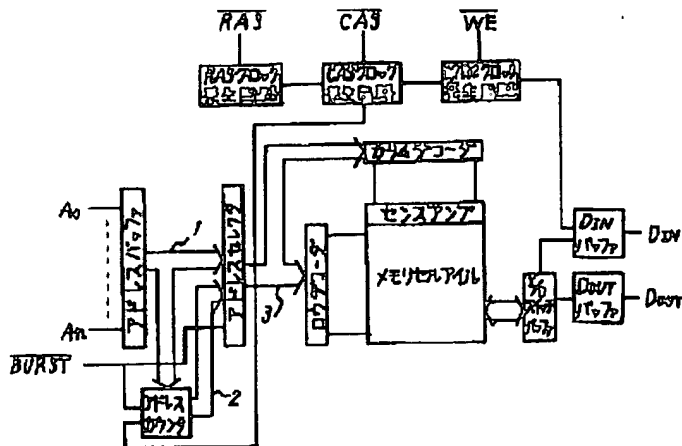
【図3】従来のダイナミックラムの内部ブロック図である。

【符号の説明】

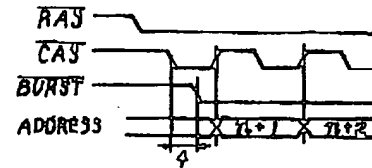
2 アドレス

3 アドレスバス

【図1】



【図2】



【図3】

